

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-199281

(43)Date of publication of application : 12.07.2002

(51)Int.Cl. H04N 5/335  
G06T 1/20  
G06T 1/60  
G06T 5/20

(21)Application number : 2000-392830

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 25.12.2000

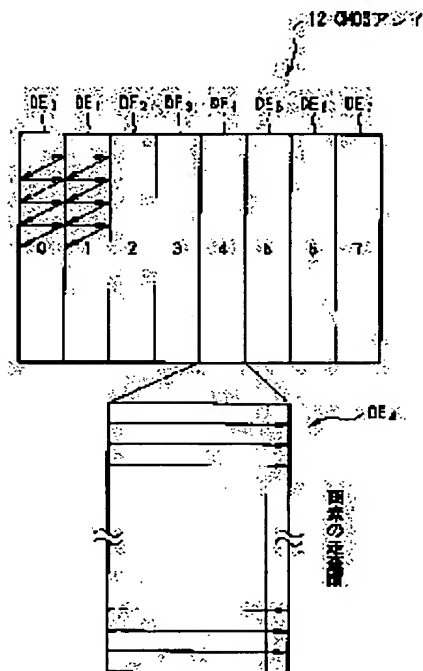
(72)Inventor : KURANE HARUHISA

## (54) IMAGE PROCESSING APPARATUS

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an image processing apparatus that is suitably used by an electronic camera utilizing a CMOS array for the reduction of the cost and for downsizing the circuit scale.

**SOLUTION:** The CMOS array 14 is logically divided in a row direction so that the number of elements is the same in a direction of rows of each of division areas DE0-DE7. The image processing unit is provided with line memories LM1-LM9 that have a storage capacity depending on number of the elements in the row direction of the division areas DE0-DE7 and are electrically in cascade connection, and a line memory controller 24 that stores photographed image data detected by an image sensor 16 to the line memories LM1-LM9. The line memory controller 24 allows the image sensor 16 to detect image data in the row direction from the CMOS array 14 by each of the division areas DE0-DE7 and sequentially stores the detected image data to the line memories LM1-LM9 according to the first-in first-out method.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2002-199281  
(P2002-199281A)

(43)公開日 平成14年7月12日(2002.7.12)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
H 0 4 N 5/335		H 0 4 N 5/335	E 5 B 0 4 7
			P 5 B 0 5 7
G 0 6 T 1/20		G 0 6 T 1/20	A 5 C 0 2 4
1/60	4 5 0	1/60	4 5 0 F
5/20		5/20	A
審査請求 未請求 請求項の数3 O L (全 11 頁)			

(21)出願番号 特願2000-392830(P2000-392830)

(22)出願日 平成12年12月25日(2000. 12. 25)

(71)出願人 000002369

セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号

(72)発明者 倉根 治久

長野県諏訪市大和3丁目3番5号 セイコ  
ーエプソン株式会社内

(74)代理人 100095728

弁理士 上柳 雅彦 (外1名)

Fターム(参考) 5B047 BB04 EA01 EB02

5B057 BA12 CA08 CA12 CA16 CB08

CB12 CB16 CC02 CE06 CG05

CH09 CH11 DC16

5C024 CX37 DX07 GY31 GZ01 HX58

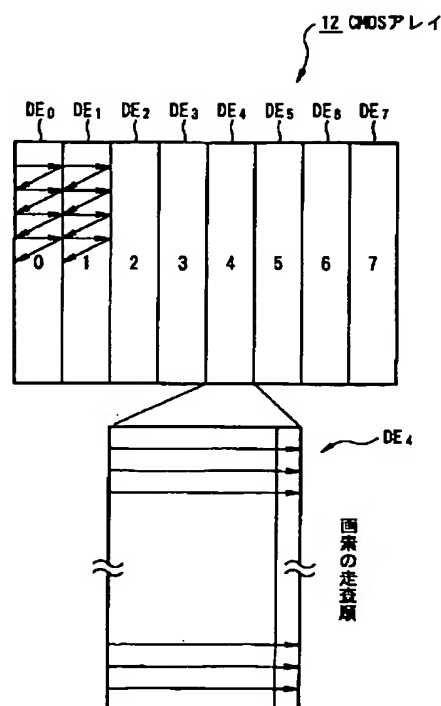
JX21

(54)【発明の名称】 画像処理装置

(57)【要約】

【課題】 CMOSアレイを利用した電子カメラにおいて、コストの削減を図るとともに回路規模の小型化を図るのに好適な画像処理装置を提供する。

【解決手段】 CMOSアレイ14を、各区分領域DE<sub>0</sub>~DE<sub>7</sub>の行方向の素子数がいずれも同一となるように列方向に論理的に区分し、各区分領域DE<sub>0</sub>~DE<sub>7</sub>の行方向の素子数に応じた記憶容量を有しかつ電氣的にカスケード接続した複数のラインメモリLM<sub>1</sub>~LM<sub>9</sub>と、イメージセンサ16で検出した撮影画像データをラインメモリLM<sub>1</sub>~LM<sub>9</sub>に記憶させるラインメモリコントローラ24とを備え、ラインメモリコントローラ24は、各区分領域DE<sub>0</sub>~DE<sub>7</sub>ごとに、イメージセンサ16によりCMOSアレイ14から行方向に画像データを検出し、検出した画像データを先入れ先出し方式でラインメモリLM<sub>1</sub>~LM<sub>9</sub>に順次記憶するようになっている。



## 【特許請求の範囲】

【請求項1】 入射光量に応じた電気信号を出力する複数の光電変換素子を行方向及び列方向に2次元的に配列した光電変換素子アレイと、前記光電変換素子アレイから任意の走査方向に画像データを検出可能な画像データ検出手段とを備えた画像取込装置に適用する装置であって、

前記光電変換素子アレイを、各区分領域の前記行方向の光電変換素子数がいずれも同一となるように前記列方向に論理的に区分し、

前記区分領域の前記行方向の光電変換素子数に応じた記憶容量を有し且つ電気的にカスケード接続した複数のラインメモリと、前記画像データ検出手段で検出した画像データを処理する画像データ処理手段とを備え、

前記画像データ処理手段は、前記各区分領域ごとに、前記画像データ検出手段により前記光電変換素子アレイから前記行方向に画像データを検出し、検出した画像データを先入れ先出し方式で前記ラインメモリに順次記憶するようになっていることを特徴とする画像処理装置。

【請求項2】 請求項1において、

前記区分領域の前記列方向の境界を検出する境界検出手段を備え、

前記画像データ処理手段は、前記境界検出手段で境界を検出したときは、前記画像データ検出手段で検出した画像データのうちその境界に対応する境界画像データを待避するとともに、隣接する区分領域について待避した境界画像データに基づいて、前記画像データ検出手段で検出した画像データのうちその境界に対応する境界画像データを処理するようになっていることを特徴とする画像処理装置。

【請求項3】 請求項1及び2のいずれかにおいて、前記光電変換素子アレイは、CMOS (Complementary Metal-Oxide Semiconductor) デバイスを利用したものであることを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光電変換素子アレイから検出した画像データを処理する装置に係り、特に、デジタルカメラ等の電子カメラにおいて、CMOS デバイスを利用した光電変換素子アレイ（以下、CMOS アレイという。）から検出した画像データを処理する画像処理装置に関する。さらに詳しくは、CMOS アレイを利用した電子カメラにおいて、コストの削減を図るとともに回路規模の小型化を図るのに好適な画像処理装置に関する。

【0002】

【従来の技術】近年では、デジタルカメラやデジタルビデオカメラ等のデジタル記録方式の電子カメラが広く普及している。電子カメラは、例えば、撮影タイミングを入力するリリーススイッチと、CCD (Charge C

oupled Device) を利用した光電変換素子アレイ（以下、CCDアレイという。）を有する画像取込部と、画像取込部で取り込んだ画像データを処理する画像処理部と、撮影画像を表示するLCD (Liquid Crystal Display) と、画像処理部で処理した画像データを記憶する画像メモリとで構成されており、画像処理部からの撮影画像をLCDに表示するとともに、リリーススイッチの入力タイミングで画像処理部から画像データを取り込み、取り込んだ画像データをJPEG形式等で圧縮して画像メモリに格納するようになっている。

【0003】画像取込部は、入射光量に応じた電気信号を出力する複数のセンサを行方向および列方向に2次元的に配列したセンサアレイと、センサアレイから行方向に画像データを検出するCCDアレイとを有して構成されている。画像処理部は、CCDアレイの行方向の素子数に相当するビット数の記憶容量を有しかつ電気的にカスケード接続した複数のラインメモリと、ラインメモリを制御するラインメモリコントローラと、ラインメモリの画像データを処理する画像処理回路とを有して構成されている。

【0004】次に、ラインメモリ、ラインメモリコントローラおよび画像処理回路の構成を図6を参照しながら詳細に説明する。図6は、ラインメモリ、ラインメモリコントローラおよび画像処理回路の構成を説明するための図である。各ラインメモリ $LM_1 \sim LM_9$ は、CCDアレイの行方向の素子数が例えば1800個である場合には、 $1800 \times$  所定ビットの記憶容量を有しており、図6に示すように、それぞれ電気的にカスケード接続されている。各ラインメモリ $LM_1 \sim LM_9$ は、その端部 ( $b_n$ : 先頭からn番目の記憶領域を示す。) をデータ入力側とし逆の端部 ( $b_0$ ) をデータ出力側としたときに、前段のデータ出力側と後段のデータ入力側とが電気的に接続されている。したがって、ラインメモリコントローラが画像データをシフトさせたときは、例えば、ラインメモリ $LM_2$ の $b_n$ の画像データは、次にラインメモリ $LM_2$ の $b_{n-1}$ に格納され、ラインメモリ $LM_1$ の $b_0$ の画像データは、次にラインメモリ $LM_2$ の $b_n$ に格納される。

【0005】ラインメモリコントロールは、ラインメモリ $LM_1 \sim LM_9$ の画像データを前段から後段に向けて1つシフトし、イメージセンサで検出した画像データをラインメモリ $LM_1$ の $b_n$ に記憶し、こうした一連の動作をイメージセンサですべてのCCDを走査するまで行うようになっている。CCDアレイから画像データを検出するには、CCDアレイを行方向（例えば、左から右に）に走査し、その行の右端部まで走査したら一つ下の行に移行するという走査を、最下行の右端部のCCDまで繰り返す。

【0006】画像処理回路26は、各ラインメモリ $LM_1 \sim LM_9$ の特定領域（例えば、 $b_0 \sim b_8$ ）の画像データを取り込んで窓26aを形成し、窓26a内の画像デー

タに基づいて、窓26aの中心に位置する対象画像データを処理するようになっている。画像処理回路26による処理としては、画像中のノイズ成分を除去する2次元ローパスフィルタ処理、画像のエッジ部分を強調し、画像の先鋭感を出すハイパスフィルタ処理がある。例えば、図7に示すような $LM_1$ 、 $LM_2$ 、 $LM_3$ を使った画像処理例を挙げる。

【0007】窓26aにおいて、画像データ $P_{00} \sim P_{06}$ が第1行目に、画像データ $P_{10} \sim P_{16}$ が第2行目に、画像データ $P_{20} \sim P_{26}$ が第3行目にあり、対象画像データをその中心である $P_{13}$ とした場合において、各画像デー

$$P_{13} = \{ P_{01} + P_{05} + P_{10} + P_{16} + P_{21} + P_{25} \\ + 2 \times ( P_{02} + P_{03} + P_{04} + P_{11} + P_{15} + P_{22} + P_{23} + P_{24} ) \\ + 3 \times ( P_{12} + P_{14} ) + 4 \times P_{13} \} / 32 \quad \dots (1)$$

【0008】

【発明が解決しようとする課題】このように、上記従来の画像処理部にあつては、画像処理回路26が対象画像データを処理するためには、対象画像データのみならずその周辺の画像データを必要とするため、ラインメモリ $LM_1 \sim LM_9$ を設けて画像データを保持し、窓26aを形成しながら画像データを一つ一つ処理している。

【0009】また、CCDの性質上、CCDアレイから画像データを検出するには、CCDアレイを左端部から行方向に走査し、その行の右端部まで走査したら一つ下の行に移行するという走査を、最下行の右端部のCCDまで繰り返す必要がある。すなわち、上記走査手順以外では画像データを検出することはできず、検出のための走査が一定の手順に制限されてしまうのである。したがって、上記走査手順に従いかつ窓26aを形成するには、各ラインメモリ $LM_1 \sim LM_9$ の記憶容量として、CCDアレイの行方向の素子数に相当するビット数の記憶容量が最低でも必要となる。ラインメモリ $LM_1 \sim LM_9$ の記憶容量がそれよりも少ないと、上記走査手順では窓26aを形成できなくなるからである。

【0010】しかしながら、最近の電子カメラは、CCDの素子数が300万～400万画素ときわめて高解像度となってきたため、それに合わせてラインメモリ $LM_1 \sim LM_9$ の記憶容量も増加させなければならない。例えば、200万画素の電子カメラならば、CCDアレイの行方向の素子数がおよそ1800個程度になるため、ラインメモリ $LM_1 \sim LM_9$ の記憶容量としては、1つ当たり1800×所定ビットの記憶容量が最低でも必要となる。ラインメモリ $LM_1 \sim LM_9$ は、記憶容量が大きくなると、記憶容量に応じて価格も増大しコストの上昇を招くばかりか、基板の専有面積も大きくなり小型化が困難となる。

【0011】ところで、最近では、CMOSアレイの利用が見直され、これを電子カメラに採用することが試みられている。CMOSアレイは、CCDアレイと比較すると、画像品質の面では劣るものの、CMOSアレイか

タに対する重み付けを、画像データ $P_{00} \sim P_{06}$ についてはそれぞれ「0」、「1」、「2」、「2」、「2」、「1」、「0」とし、画像データ $P_{10} \sim P_{16}$ についてはそれぞれ「1」、「2」、「3」、「4」、「3」、「2」、「1」とし、画像データ $P_{20} \sim P_{26}$ についてはそれぞれ「0」、「1」、「2」、「2」、「2」、「1」、「0」とすると、対象画像データ $P_{13}$ のフィルタ出力は、下式(1)により算出される。下式(1)において、各画像データ $P_{00} \sim P_{26}$ は、RGB成分ごとにその輝度の大きさを数値で表したものである。

ら任意の走査方向に画像データを検出することができるという点で優れている。CMOSアレイは、CCDアレイと肩を並べるほど歴史ある技術ではあるが、画像品質の向上を目指した製品開発のなかでは、コストの面でさほどの有利があるわけではなかったため、CCDアレイが主として採用されることとなり、CMOSアレイの採用は少なくなっていった。しかし、CMOSアレイの不利であった画像品質が、近年の高解像度化によりCCDアレイと比較してほとんど遜色が見られなくなったことから、ここにきて見直しが図られている。

【0012】そこで、本発明は、このような従来の技術の有する未解決の課題に着目してなされたものであって、CMOSアレイを利用した電子カメラにおいて、コストの削減を図るとともに回路規模の小型化を図るのに好適な画像処理装置を提供することを目的としている。

【0013】

【課題を解決するための手段】上記目的を達成するために、本発明に係る請求項1記載の画像処理装置は、入射光量に応じた電気信号を出力する複数の光電変換素子を行方向および列方向に2次元的に配列した光電変換素子アレイと、前記光電変換素子アレイから任意の走査方向に画像データを検出可能な画像データ検出手段とを備えた画像取込装置に適用する装置であつて、前記光電変換素子アレイを、各区分領域の前記行方向の光電変換素子数がいずれも同一となるように前記列方向に論理的に区分し、前記区分領域の前記行方向の光電変換素子数に応じた記憶容量を有しかつ電気的にカスケード接続した複数のラインメモリと、前記画像データ検出手段で検出した画像データを処理する画像データ処理手段とを備え、前記画像データ処理手段は、前記各区分領域ごとに、前記画像データ検出手段により前記光電変換素子アレイから前記行方向に画像データを検出し、検出した画像データを先入れ先出し方式で前記ラインメモリに順次記憶するようになっている。

【0014】このような構成であれば、画像データ処理手段により、各区分領域ごとに、画像データ検出手段に

より光電変換素子アレイから行方向に画像データが検出され、検出された画像データが先入れ先出し方式でラインメモリに順次記憶される。ここで、ラインメモリをカスケード接続するとは、例えば、各ラインメモリの端部をデータ入力側とし反対の端部をデータ出力側としたときに、前段のデータ出力側と後段のデータ入力側とを電氣的に接続することをいう。

【0015】また、先入れ先出し方式とは、ラインメモリに先に記憶させた画像データの方が後に記憶させた画像データよりも先にラインメモリから取出または消滅するような記憶方式をいい、例えば、カスケード接続したラインメモリの画像データを前段から後段に向けてシフトし、最前段のラインメモリの端部に画像データを記憶すればよい。

【0016】さらに、本発明に係る請求項2記載の画像処理装置は、請求項1記載の画像処理装置において、前記区分領域の前記列方向の境界を検出する境界検出手段を備え、前記画像データ処理手段は、前記境界検出手段で境界を検出したときは、前記画像データ検出手段で検出した画像データのうちその境界に対応する境界画像データを待避するとともに、隣接する区分領域について待避した境界画像データに基づいて、前記画像データ検出手段で検出した画像データのうちその境界に対応する境界画像データを処理するようになっている。

【0017】このような構成であれば、境界検出手段により境界が検出されると、画像データ処理手段により、画像データ検出手段で検出された画像データのうちその境界に対応する境界画像データが待避される。また、境界検出手段により境界が検出されると、隣接する区分領域について待避した境界画像データがあれば、その境界画像データに基づいて、画像データ検出手段で検出された画像データのうちその境界に対応する境界画像データが処理される。

【0018】ここで、画像データ処理手段は、隣接する区分領域について待避した境界画像データに基づいて、画像データ検出手段で検出した画像データのうちその境界に対応する境界画像データを処理するようになっているればよく、例えば、現在の区分領域について処理を行う場合に、待避した境界画像データを、画像データ検出手段で検出した画像データの対応する箇所に付加してラインメモリに記憶させるようになっていてもよいし、ラインメモリの画像データに基づいて窓を用いた画像処理を行う場合に、待避した境界画像データを用いるようになっていてもよい。

【0019】さらに、本発明に係る請求項3記載の画像処理装置は、請求項1および2のいずれかに記載の画像処理装置において、前記光電変換素子アレイは、CMOSデバイスを利用したものである。このような構成であれば、画像データ検出手段により、各区分領域ごとに、CMOSデバイスを利用した光電変換素子アレイから画

像データの検出が可能となる。

【0020】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しながら説明する。図1ないし図4は、本発明に係る画像処理装置の実施の形態を示す図である。本実施の形態は、本発明に係る画像処理装置を、図1に示すように、CMOSアレイを利用した電子カメラにおいて、CMOSアレイ12を、各区分領域 $DE_0 \sim DE_7$ の行方向の素子数がいずれも同一となるように列方向に論理的に区分(図1の例では8等分)し、イメージセンサ16により、各区分領域 $DE_0 \sim DE_7$ ごとに、CMOSアレイ12から画像データを検出し処理する場合について適用したものである。

【0021】まず、本発明を適用する電子カメラ100の構成を図2を参照しながら説明する。図2は、電子カメラ100の内部構成を示すブロック図である。電子カメラ100は、図2に示すように、撮影画像を撮影画像データとして取り込む画像取込部10と、画像取込部10で取り込んだ撮影画像データを処理する画像処理部20と、画像処理部20からの高解像度画像をLCD52が表示可能な低解像度画像に変換するなどの処理を行う変換部30と、変換部30で変換した低解像度画像を表示する表示部50と、区分領域 $DE_0 \sim DE_7$ の境界に対応する画像データである境界画像データを一時的に記憶する外部メモリ60とで構成されている。

【0022】画像取込部10は、光学レンズ12と、CMOSアレイ14と、CMOSアレイ14から任意の走査方向に撮影画像データを検出可能なイメージセンサ16とで構成されている。CMOSアレイ14は、入射光量に応じた電気信号を出力する複数のCMOSデバイスを行方向および列方向に2次的に配列してなり、前段に配置された光学レンズ12を介して各画素に結像する被写体の光画像を画像信号(電気信号)に光電変換するようになっている。

【0023】イメージセンサ16は、図示しないが、CMOS駆動回路と、A/D変換回路とを有して構成されている。CMOS駆動回路は、CMOSアレイ14に対して垂直および水平駆動パルスを供給し、CMOSアレイ14で光電変換した画像信号をA/D変換回路に出力するようになっている。A/D変換回路は、画像信号が所定レベルに増幅された信号を所定タイミングでサンプリングし、サンプリングしたディジタル画像データを画像処理部20に出力するようになっている。

【0024】画像処理部20は、複数のラインメモリ $LM_1 \sim LM_9$ からなるラインメモリ群22と、イメージセンサ16で検出した撮影画像データをラインメモリ $LM_1 \sim LM_9$ に記憶させるラインメモリコントローラ24と、ラインメモリ $LM_1 \sim LM_9$ の撮影画像データを処理する画像処理回路26と、ラインメモリコントローラ24の外部メモリ60に対するアクセスを制御するメモリ

アービタ28とで構成されている。

【0025】ラインメモリ群22は、各区分領域 $DE_0 \sim DE_7$ の行方向の素子数に応じた記憶容量を有する複数のラインメモリ $LM_1 \sim LM_9$ からなり、各ラインメモリ $LM_1 \sim LM_9$ は、図6に示すように、それぞれ電氣的にカスケード接続されている。各ラインメモリ $LM_1 \sim LM_9$ は、その端部( $b_n$ : 先頭から $n$ 番目の記憶領域を示す。)をデータ入力側とし逆の端部( $b_0$ )をデータ出力側としたときに、前段のデータ出力側と後段のデータ入力側とが電氣的に接続されている。したがって、ラインメモリコントローラ24が撮影画像データをシフトさせたときは、例えば、ラインメモリ $LM_2$ の $b_n$ の撮影画像データは、次にラインメモリ $LM_2$ の $b_{n-1}$ に格納され、ラインメモリ $LM_1$ の $b_0$ の撮影画像データは、次にラインメモリ $LM_2$ の $b_n$ に格納される。

【0026】次に、ラインメモリコントローラ24の構成を図3を参照しながら詳細に説明する。図3は、ラインメモリコントローラ24の構成を示すブロック図である。ラインメモリコントローラ24は、図3に示すように、イメージセンサ16への検出データ取込制御信号24gに基づいて各区分領域 $DE_0 \sim DE_7$ の右側の境界を検出する右境界検出回路24aと、右境界検出回路24aからの検出信号に基づいてイメージセンサ16で検出した撮影画像データのうち右境界に対応する境界画像データを外部メモリ60に書き込む境界画像データ書込回路24bと、イメージセンサ16への検出データ取込制御信号24gに基づいて各区分領域 $DE_0 \sim DE_7$ の左側の境界を検出する左境界検出回路24cと、左境界検出回路24cからの検出信号に基づいて左隣の区分領域において待避した境界画像データを外部メモリ60から読み込む境界画像データ読込回路24dと、制御回路24eと、動作タイミングを示すタイミング信号を境界画像データ読込回路24dおよび制御回路24eに出力するタイミング制御回路24fとで構成されている。

【0027】制御回路24eは、タイミング制御回路24fからのタイミング信号に応じて動作するようになっており、各区分領域 $DE_0 \sim DE_7$ ごとに、その区分領域内においてCMOSアレイ14を左端部から行方向に走査し、その行の右端部まで走査したら一つ下の行に移行するという走査を、最下行の右端部まで繰り返すことによりその区分領域の撮影画像データを検出するように、イメージセンサ16を制御し、ラインメモリ $LM_1 \sim LM_9$ の撮影画像データを前段から後段に向けて1つシフトし、イメージセンサ16で検出した撮影画像データをラインメモリ $LM_1$ の $b_n$ に記憶し、こうした一連の動作をイメージセンサ16ですべての素子を走査するまで行うようになっている。

【0028】また、制御回路24eは、境界画像データ読込回路24dで読み込んだ境界画像データを、イメージセンサ16で検出した撮影画像データの対応する箇所

に付加してラインメモリ $LM_1 \sim LM_9$ に記憶させるようになっている。すなわち、画像処理回路26において、区分領域 $DE_1 \sim DE_7$ の左端部から所定数の撮影画像データを適切に処理するためには、図4に示すように、左隣の区分領域 $DE_0 \sim DE_6$ の右端部から所定数の撮影画像データが必要となるため、右境界検出回路24aおよび境界画像データ書込回路24bにより、左隣の区分領域 $DE_0 \sim DE_6$ の右端部から所定数の撮影画像データを境界画像データとして外部メモリ60に待避しておき、区分領域 $DE_1 \sim DE_7$ の左端部の撮影画像データをイメージセンサ16から読み込むときは、待避した境界画像データを、読み込んだ撮影画像データに付加してラインメモリ $LM_1 \sim LM_9$ に記憶する。図4は、境界画像データを外部メモリ60に待避する意義を説明するための図である。

【0029】画像処理回路26は、図6に示すように、各ラインメモリ $LM_1 \sim LM_9$ の特定領域(例えば、 $b_0 \sim b_8$ )の撮影画像データを取り込んで窓26aを形成し、窓26a内の撮影画像データに基づいて、窓26aの中心に位置する対象画像データを処理するようになっている。画像処理回路60による処理としては、例えば、画像中のノイズ成分を除去する2次元ローパスフィルタ処理、画像のエッジ部分を強調し、画像の先鋭感を出すハイパスフィルタ処理がある。

【0030】一方、図2に戻り、表示部50は、LCD52に画像を表示するタイミングを示すタイミング信号を生成するタイミング生成回路54と、タイミング生成回路54で生成したタイミング信号に同期して画像を表示するLCD52とで構成されている。変換部30は、画像処理部20で処理した高解像度画像である撮影画像データをLCD52が表示可能な低解像度画像である表示画像データに変換する解像度変換回路32と、制御プログラムに基づいて演算およびシステム全体を制御するCPU34と、画像データを格納するためのメインメモリ36と、解像度変換回路32で変換した表示画像データをメインメモリ36に書き込む画像データ書込回路38と、画像処理部20で処理した撮影画像データをメインメモリ36に書き込む画像データ書込回路40と、メインメモリ36の表示画像データに基づいてLCD52に画像を表示する制御を行う表示制御回路42と、メインメモリ36へのアクセスを制御するアクセス制御回路44とで構成されている。その他、図示しないが、所定領域にあらかじめCPU34の制御プログラム等を格納しているROMを有し、CPU34は、ROMの所定領域に格納されている所定のプログラムを起動させ、そのプログラムに従って動作するようになっている。

【0031】メインメモリ36は、ROM等から読み出したデータやCPU34の演算過程で必要な演算結果を格納するためのRAM等からなり、さらにRAMは、特定領域として、表示画像データを格納するためのVRA

M37を有している。VRAM37は、CPU34と、画像データ書込回路38と、表示制御回路42とでそれぞれ独立にアクセスが可能となっている。

【0032】画像データ書込回路38は、撮影画像を低解像度でLCD52に表示するために、解像度変換回路32で変換した表示画像データをVRAM43に書き込むようになっている。画像データ書込回路40は、図示しないリリーススイッチが押下されることによりCPU34から取込要求があったときは、撮影画像を高解像度でメインメモリ36の所定領域(VRAM37以外の領域)に格納するために、画像処理部20で処理した撮影画像データをメインメモリ36の上記所定領域に格納するようになっている。

【0033】表示制御回路42は、タイミング生成回路54で生成したタイミング信号に同期して、VRAM37に格納されている表示画像データを先頭アドレスから順次読み出し、読み出した表示画像データを画像信号に変換してLCD52に出力するようになっている。アクセス制御回路48は、CPU34、画像データ書込回路38、40または表示制御回路42からメインメモリ36へのアクセスが同時に複数あったときは、それらのアクセスのうちいずれかを許可し、他のものについては許可したアクセスが終了するまで待機させることにより、メインメモリ36に対しては常に一つのアクセスのみを許可するようになっている。なお、アクセスが同時に複数あったときだけでなく、メインメモリ36へのアクセス中に他のアクセスがあったときも、同様に動作する。

【0034】次に、上記実施の形態の動作を説明する。電子カメラ100において図示しないリリーススイッチが押下されると、CPU34により、取込要求が画像データ書込回路40に出力される。取込要求があると、画像取込部10により、CMOSアレイ14から撮影画像が撮影画像データとして取り込まれ、画像処理部20により、取り込まれた撮影画像データが処理され、画像データ書込回路40により、処理された撮影画像データがメインメモリ36の所定領域に書き込まれる。メインメモリ36に書き込まれた撮影画像データは、さらにJPEG形式等により圧縮される。

【0035】画像処理部20では、制御回路24eにより、各区分領域DE<sub>0</sub>~DE<sub>7</sub>ごとに、その区分領域の撮影画像データを検出するようにイメージセンサ16が制御される。その結果、イメージセンサ16により、各区分領域DE<sub>0</sub>~DE<sub>7</sub>ごとに、その区分領域内においてCMOSアレイ14を左端部から行方向に走査し、その行の右端部まで走査したら一つ下の行に移行するという走査が、最下行の右端部まで繰り返され、各区分領域DE<sub>0</sub>~DE<sub>7</sub>の撮影画像データが検出される。

【0036】一方、右境界検出回路24aにより、各区分領域DE<sub>0</sub>~DE<sub>7</sub>の右側の境界が検出されると、境界画像データ書込回路24bにより、イメージセンサ16

で検出された撮影画像データのうち右境界に対応する境界画像データが外部メモリ60に書き込まれる。また、制御回路24eにより、ラインメモリLM<sub>1</sub>~LM<sub>9</sub>の撮影画像データが前段から後段に向けて1つシフトされ、イメージセンサ16で検出された撮影画像データがラインメモリLM<sub>1</sub>のb<sub>n</sub>に記憶される。このとき、左境界検出回路24cにより、各区分領域DE<sub>0</sub>~DE<sub>7</sub>の左側の境界が検出されると、境界画像データ読込回路24dにより、左隣の区分領域において待避された境界画像データが外部メモリ60から読み込まれ、制御回路24eにより、境界画像データ読込回路24dで読み込まれた境界画像データが、イメージセンサ16で検出された撮影画像データの対応する箇所に付加されてラインメモリLM<sub>1</sub>~LM<sub>9</sub>に記憶される。

【0037】そして、画像処理回路26により、各ラインメモリLM<sub>1</sub>~LM<sub>9</sub>の特定領域の撮影画像データが取り込まれて窓26aが形成され、窓26a内の撮影画像データに基づいて、窓26aの中心に位置する対象画像データが処理される。なお、図示しないリリーススイッチが押下されていない非撮影時では、撮影画像を低解像度でLCD52に表示するために、次のように動作する。

【0038】まず、画像取込部10では、撮影画像が撮影画像データとして取り込まれ、画像処理部20により、取り込まれた撮影画像データが処理され、処理された撮影画像データが解像度変換回路32に出力される。解像度変換回路32では、撮影画像データが入力されると、画像処理部20で処理された撮影画像データが、所定の変換率でLCD52が表示可能な表示画像データに変換されて画像データ書込回路38に出力される。

【0039】画像データ書込回路38では、表示画像データが入力されると、入力された表示画像データがVRAM37に書き込まれる。表示画像データがVRAM37に書き込まれると、表示制御回路42により、タイミング生成回路54からのタイミング信号に同期して、VRAM37の表示画像データが先頭アドレスから順次読み出され、読み出された表示画像データが画像信号に変換されてLCD52に出力される。これにより、LCD52では、画像取込部10で取り込まれた撮影画像データが表示可能な低解像度画像に変換されて表示される。

【0040】このようにして、本実施の形態では、CMOSアレイ14を、各区分領域DE<sub>0</sub>~DE<sub>7</sub>の行方向の素子数がいずれも同一となるように列方向に論理的に区分し、各区分領域DE<sub>0</sub>~DE<sub>7</sub>の行方向の素子数に応じた記憶容量を有しかつ電氣的にカスケード接続した複数のラインメモリLM<sub>1</sub>~LM<sub>9</sub>と、イメージセンサ16で検出した撮影画像データをラインメモリLM<sub>1</sub>~LM<sub>9</sub>に記憶させるラインメモリコントローラ24とを備え、ラインメモリコントローラ24は、各区分領域DE<sub>0</sub>~DE<sub>7</sub>ごとに、イメージセンサ16によりCMOSアレイ



14から行方向に画像データを検出し、検出した画像データを先入れ先出し方式でラインメモリ $L M_1 \sim L M_9$ に順次記憶するようになっている。

【0041】これにより、電子カメラ100において素子数が増加し高解像度化が進んでも、それに合わせて区分領域の数を増加してやれば、ラインメモリ $L M_1 \sim L M_9$ の記憶容量を増加させなくてもすむ。したがって、従来に比して、CMOSアレイ14を利用した電子カメラ100において、コストの削減を図るとともに回路規模の小型化を図ることができる。

【0042】さらに、本実施の形態では、各区分領域 $DE_0 \sim DE_7$ の列方向の境界を検出する境界検出回路24a、24cを備え、ラインメモリコントローラ24は、右境界検出回路24aにより各区分領域 $DE_0 \sim DE_7$ の右側の境界を検出したときは、イメージセンサ16で検出した画像データのうちその境界に対応する境界画像データを外部メモリ60に待避し、左境界検出回路24cにより各区分領域 $DE_0 \sim DE_7$ の左側の境界を検出したときは、境界画像データ読込回路24dで読み込んだ境界画像データを、イメージセンサ16で検出した撮影画像データの対応する箇所に付加してラインメモリ $L M_1 \sim L M_9$ に記憶させるようになっている。

【0043】これにより、各区分領域 $DE_0 \sim DE_7$ の境界付近に位置する撮影画像データを適切に処理することができるので、CMOSアレイ14を区分して区分単位で処理を行っても、画像の品質を保持することができる。上記実施の形態において、CMOSアレイ14は、請求項1または3記載の光電変換素子アレイに対応し、イメージセンサ16は、請求項1または2記載の画像データ検出手段に対応し、ラインメモリコントローラ24は、請求項1または2記載の画像データ処理手段に対応し、右境界検出回路24aおよび左境界検出回路24cは、請求項2記載の境界検出手段に対応している。

【0044】なお、上記実施の形態においては、ラインメモリコントローラ24は、左境界検出回路24cにより各区分領域 $DE_0 \sim DE_7$ の左側の境界を検出したときは、境界画像データ読込回路24dで読み込んだ境界画像データを、イメージセンサ16で検出した撮影画像データの対応する箇所に付加してラインメモリ $L M_1 \sim L M_9$ に記憶させるように構成したが、これに限らず、画像処理回路26は、各区分領域 $DE_0 \sim DE_7$ の左側の境界を検出したときは、外部メモリ60の境界画像データを用いて、イメージセンサ16で検出した撮影画像データを処理するように構成してもよい。

【0045】また、上記実施の形態においては、境界画像データを格納するメモリとして外部メモリ60を設けて構成したが、これに限らず、外部メモリ60を設けず、境界画像データを格納するメモリとしてメインメモリ36を兼用するように構成してもよい。また、上記実施の形態においては、画像処理部20は、図2に示すよ

うに、複数のラインメモリ $L M_1 \sim L M_9$ からなるラインメモリ群22と、イメージセンサ16で検出した撮影画像データをラインメモリ $L M_1 \sim L M_9$ に記憶させるラインメモリコントローラ24と、ラインメモリ $L M_1 \sim L M_9$ の撮影画像データを処理する画像処理回路26と、ラインメモリコントローラ24の外部メモリ60に対するアクセスを制御するメモリアービタ28とで構成したが、これに限らず、単板式の電子カメラの場合、カラーフィルタを使用しているため、色補間をする必要上、図5に示すように構成することもできる。図5は、画像処理部20の他の実施の形態を示す図である。

【0046】画像処理部20は、図5に示すように、複数のラインメモリ $L M_1 \sim L M_9$ からなるラインメモリ群22と、イメージセンサ16で検出した撮影画像データをラインメモリ $L M_1 \sim L M_9$ に記憶させるラインメモリコントローラ24と、ラインメモリ $L M_1 \sim L M_9$ の撮影画像データを処理する画像処理回路26と、複数のラインメモリ $L M_{10} \sim L M_{18}$ からなるラインメモリ群23と、画像処理回路26で処理した撮影画像データをラインメモリ $L M_{10} \sim L M_{18}$ に記憶させるラインメモリコントローラ25と、ラインメモリ $L M_{10} \sim L M_{18}$ の撮影画像データを処理する画像処理回路27と、ラインメモリコントローラ24の外部メモリ60に対するアクセスを制御するメモリアービタ28とで構成されている。

【0047】画像処理回路26は、ラインメモリ $L M_1 \sim L M_9$ の撮影画像データを取り込んで窓26aを形成し、窓26a内の撮影画像データに基づいて、窓26aの中心に位置する対象画像データに対して色補完する処理を行うようになっている。画像処理回路27は、ラインメモリ $L M_{10} \sim L M_{18}$ の撮影画像データを取り込んで窓26aを形成し、窓26a内の撮影画像データに基づいて、窓26aの中心に位置する対象画像データに対してノイズ除去する処理を行うようになっている。

【0048】また、上記実施の形態においては、ラインメモリコントローラ24は、各区分領域 $DE_0 \sim DE_7$ ごとに、その区分領域内においてCMOSアレイ14を左端部から行方向に走査し、その行の右端部まで走査したら一つ下の行に移行するという走査を、最下行の右端部まで繰り返すことによりその区分領域の撮影画像データを検出するように、イメージセンサ16を制御するように構成したが、これに限らず、このような検出動作をイメージセンサ16が、他からの制御を受けずに独自に行うように構成してもよい。

【0049】また、上記実施の形態においては、ラインメモリコントローラ24は、右境界検出回路24a、境界画像データ書込回路24b、左境界検出回路24c、境界画像データ読込回路24d、制御回路24eおよびタイミング制御回路24fで構成したが、これに限らず、ラインメモリコントローラ24の機能をCPU34で実行する処理により実現するように構成してもよい。



この場合、ラインメモリコントローラ24の機能を実現するためのプログラムがROMに格納されており、CPU34は、ROMの所定領域に格納されている所定のプログラムを起動させ、そのプログラムに従って、これらの処理を実行させるようになっている。また、これに限らず、ラインメモリコントローラ24の機能を実現する処理を実行するにあたっては、これらの手順を示したプログラムが記録された記録媒体から、そのプログラムをメインメモリ36に読み込んで実行するようにしてもよい。

【0050】ここで、記録媒体とは、RAM、ROM等の半導体記憶媒体、FD、HD等の磁気記憶型記憶媒体、CD、CDV、LD、DVD等の光学的読取方式記憶媒体、MO等の磁気記憶型／光学的読取方式記憶媒体であって、電子的、磁氣的、光学的等の読み取り方法のいかににかかわらず、コンピュータで読み取り可能な記録媒体であれば、あらゆる記録媒体を含むものである。

【0051】また、上記実施の形態においては、本発明に係る画像処理装置を、本発明に係る画像処理装置を、図1に示すように、CMOSアレイを利用した電子カメラにおいて、CMOSアレイ12を、各区分領域DE<sub>0</sub>～DE<sub>7</sub>の行方向の素子数がいずれも同一となるように列方向に論理的に区分(図1の例では8等分)し、イメージセンサ16により、各区分領域DE<sub>0</sub>～DE<sub>7</sub>ごとに、CMOSアレイ12から画像データを検出し処理する場合について適用したが、これに限らず、本発明の主旨を逸脱しない範囲で他の場合にも適用可能である。

【0052】

【発明の効果】以上説明したように、本発明に係る請求項1ないし3記載の画像処理装置によれば、電子カメラにおいて素子数が増加し高解像度化が進んでも、それに合わせて区分領域の数を増加してやれば、ラインメモリの記憶容量を増加させなくてもすむので、従来に比して、CMOSアレイを利用した電子カメラにおいて、コストの削減を図るとともに回路規模の小型化を図ることができるという効果が得られる。

【0053】さらに、本発明に係る請求項2記載の画像処理装置によれば、各区分領域の境界付近に位置する画像データを適切に処理することができるので、光電変換素子アレイを区分して区分単位で処理を行っても、画像の品質をある程度保持することができるという効果も得

られる。

【図面の簡単な説明】

【図1】本発明の概要を説明するための図である。

【図2】電子カメラ100の内部構成を示すブロック図である。

【図3】ラインメモリコントローラ24の構成を示すブロック図である。

【図4】境界画像データを外部メモリ60に待避する意義を説明するための図である。

【図5】画像処理部20の他の実施の形態を示す図である。

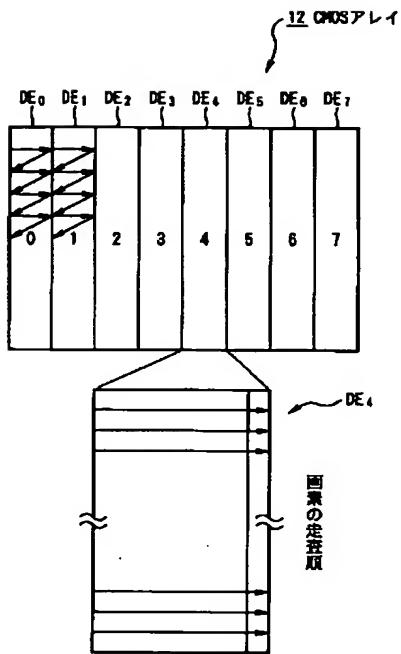
【図6】ラインメモリ、ラインメモリコントローラおよび画像処理回路の構成を説明するための図である。

【図7】画像処理回路24での処理の一例を説明するための図である。

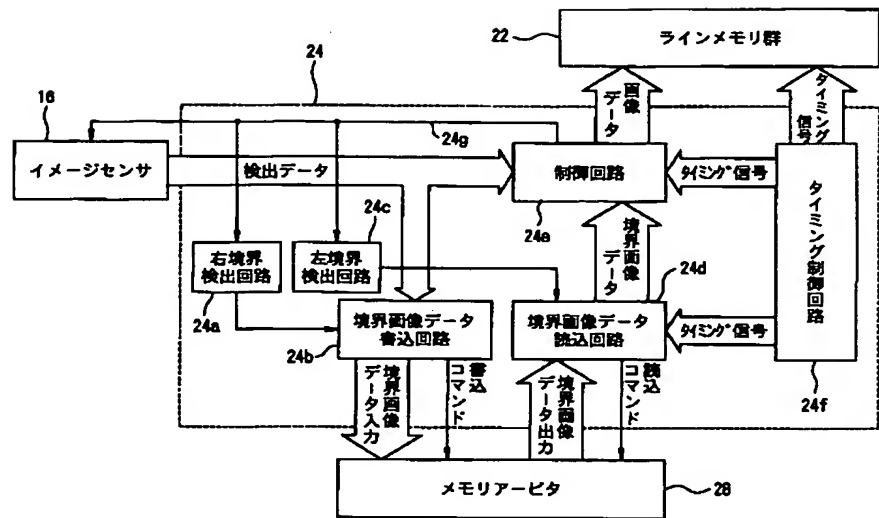
【符号の説明】

100	電子カメラ
10	画像取込部
14	CMOSアレイ
16	イメージセンサ
20	画像処理部
22, 23	ラインメモリ群
24, 25	ラインメモリコントローラ
24a	右境界検出回路
24b	境界画像データ書込回路
24c	左境界検出回路
24d	境界画像データ読込回路
24e	制御回路
24f	タイミング制御回路
26, 27	画像処理回路
28	メモリアービタ
30	変換部
32	解像度変換回路
34	CPU
36	メインメモリ
38, 40	画像データ書込回路
42	表示制御回路
50	表示部
52	LCD
LM	ラインメモリ
DE	区分領域

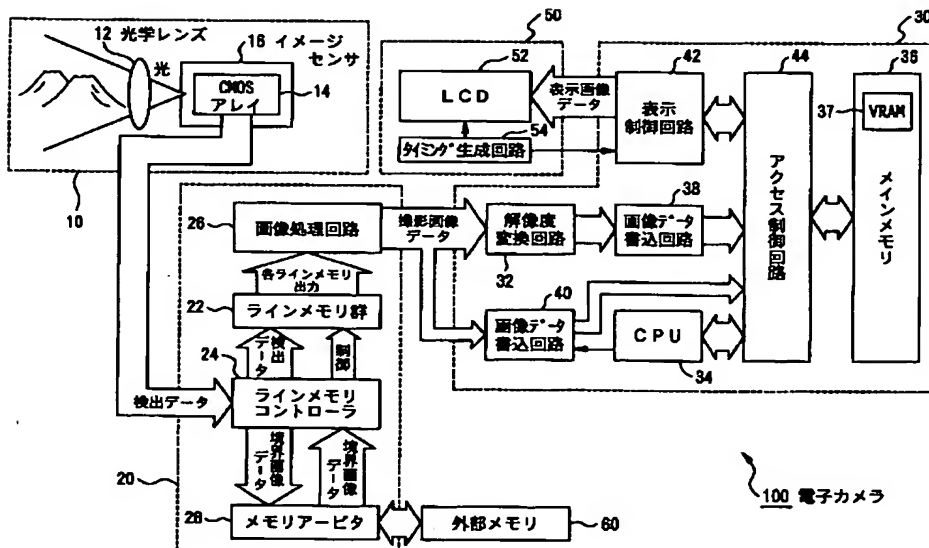
【図1】



【図3】



【図2】





【図6】

